

# Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/000151

International filing date: 07 January 2005 (07.01.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP  
Number: 2004-017243  
Filing date: 26 January 2004 (26.01.2004)

Date of receipt at the International Bureau: 24 March 2005 (24.03.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland  
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

01.2.2005

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出願年月日 2004年 1月26日  
Date of Application:

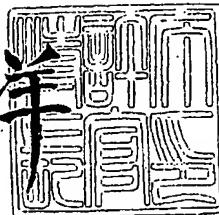
出願番号 特願2004-017243  
Application Number:  
[ST. 10/C]: [JP2004-017243]

出願人 株式会社豊田自動織機  
Applicant(s): 新潟精密株式会社

2005年 3月 9日

特許庁長官  
Commissioner,  
Japan Patent Office

小川洋



出証番号 出証特2005-3019964

【書類名】 特許願  
【整理番号】 2003TJ099  
【提出日】 平成16年 1月26日  
【あて先】 特許庁長官殿  
【国際特許分類】 H04L 27/10  
H03K 21/40

【発明者】  
【住所又は居所】 愛知県刈谷市豊田町2丁目1番地 株式会社豊田自動織機内  
【氏名】 後藤 栄孝

【発明者】  
【住所又は居所】 新潟県上越市西城町2丁目5番13号 新潟精密株式会社内  
【氏名】 宮城 弘

【特許出願人】  
【識別番号】 000003218  
【氏名又は名称】 株式会社豊田自動織機

【特許出願人】  
【識別番号】 591220850  
【氏名又は名称】 新潟精密株式会社

【代理人】  
【識別番号】 100074099  
【弁理士】  
【氏名又は名称】 大菅 義之  
【電話番号】 03-3238-0031

【手数料の表示】  
【予納台帳番号】 012542  
【納付金額】 21,000円

【提出物件の目録】  
【物件名】 特許請求の範囲 1  
【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1  
【包括委任状番号】 9005945  
【包括委任状番号】 0118621

## 【書類名】特許請求の範囲

## 【請求項1】

所定の期間について I F 信号をカウントする I F カウンタのカウント方式であって、カウント開始の初期値として所望のカウント値の上限を与える上限値プリセット処理と

前記 I F 信号をカウントする期間を生成する I F カウント期間生成処理と  
該 I F カウント期間生成処理によって生成された期間内に前記上限値プリセット部で設定された初期値から前記 I F 信号に応じてダウンカウントを行なうダウンカウント方式 I F カウント処理と、

所望のカウント値の上限値と下限値との差の情報を与える I F カウント上下限値差プリセット処理と、

該 I F カウント上下限値差プリセット処理に与えられた I F カウント上下限値差の情報と前記ダウンカウント方式 I F カウント処理によるカウント情報に基づく第一の情報とを比較する比較処理と、

前記ダウンカウント方式 I F カウント処理によるカウント情報に基づく第二の情報と前記比較処理による比較結果の情報とからカウント値が前記所望の上限値及び下限値の範囲内にあるかを判定する判定処理とを有することを特徴とする I F カウント方式。

## 【請求項2】

$n > m$  の関係を有する 1 以上の整数  $m$ 、  $n$  において、前記第一の情報は前記ダウンカウント方式 I F カウント処理による  $n + 1$  ビットで構成されるカウント情報の下位  $m$  ビットの情報であり、前記第二の情報は前記カウント情報の上位  $n + 1 - m$  ビットであることを特徴とする請求項1に記載の I F カウント方式。

## 【請求項3】

前記 I F 信号は、分周比  $1/2$ 、 $1/4$ 、 $1/8$ 、 $1/16$ 、 $1/32$  のいずれか 1 つを選択的に使用して分周された I F 信号であることを特徴とする請求項1に記載の I F カウント方式。

## 【請求項4】

所定の期間について I F 信号をカウントする I F カウンタであって、カウント開始の初期値として所望のカウント値の上限を与える上限値プリセット処理と

前記 I F 信号をカウントする期間を生成する I F カウント期間生成処理と  
該 I F カウント期間生成処理によって生成された期間内に前記上限値プリセット処理で設定された初期値から前記 I F 信号に応じてダウンカウントを行なうダウンカウント方式 I F カウント処理と、

前記ダウンカウント方式 I F カウント処理によるカウント情報に基づく第一の情報と第二の情報とからカウント値が前記所望の上限値及び下限値の範囲内にあるかを判定する判定部とを有することを特徴とする I F カウント方式。

## 【請求項5】

所定の期間について I F 信号をカウントする I F カウンタであって、カウント開始の初期値として所望のカウント値の上限を与える上限値プリセット部と、前記 I F 信号をカウントする期間を生成する I F カウント期間生成部と  
該 I F カウント期間生成部によって生成された期間内に前記上限値プリセット部で設定された初期値から前記 I F 信号に応じてダウンカウントを行なうダウンカウント方式 I F カウント部と、

所望のカウント値の上限値と下限値との差の情報を与える I F カウント上下限値差プリセット部と、

該 I F カウント上下限値差プリセット部に設定された情報と前記ダウンカウント方式 I F カウント部におけるカウント情報に基づく第一の情報とを比較する比較部と、

前記ダウンカウント方式 I F カウント部におけるカウント情報に基づく第二の情報と前記比較部の比較結果の情報とからカウント値が前記所望の上限値及び下限値の範囲内にあ

るかを判定する判定部とを有することを特徴とする I F カウンタ。

【請求項 6】

所定の期間について I F 信号をカウントする I F カウンタであって、  
カウント開始の初期値として所望のカウント値の上限を与える上限値プリセット部と、  
前記 I F 信号をカウントする期間を生成する I F カウント期間生成部と  
該 I F カウント期間生成部によって生成された期間内に前記上限値プリセット部で設定  
された初期値から前記 I F 信号に応じてダウンカウントを行なうダウンカウント方式 I F  
カウント部と、

前記ダウンカウント方式 I F カウント部におけるカウント情報に基づく第一の情報と第  
二の情報とからカウント値が前記所望の上限値及び下限値の範囲内にあるかを判定する判  
定部とを有することを特徴とする I F カウンタ。

【書類名】明細書

【発明の名称】IFカウント方式

【技術分野】

【0001】

本発明は、ラジオの受信機に使用されるIFカウンタにおけるIFカウント方式に関する。

【背景技術】

【0002】

ラジオの受信機において、従来からIF (Intermediate Frequency) をカウントするために使用されているIFカウンタは、例えば図5に示すように、nビットで構成されるIFカウント部15と、IFカウント部15に対してIFカウント期間を生成するIFカウント期間生成部16と、nビットで構成されるIFカウント上限値を設定するためのIFカウント上限値プリセット部17と、nビットで構成されるIFカウント下限値を設定するためのIFカウント下限値プリセット部18と、IFカウント部15によってカウントされたカウント値とIFカウント上限値プリセット部17の設定値とを比較するためにnビットで構成される上限値比較部19と、IFカウント部15によってカウントされたカウント値とIFカウント下限値プリセット部18の設定値とを比較するための下限値比較部20と、上限値比較部19による比較結果と下限値比較部20による比較結果とからIFカウント部15によるカウント値が所定の範囲内にあるかを判断する判定部21とによって構成される。

【0003】

IFカウント部15は、リミッタ回路等を通されたIF信号が入力されると、IFカウント期間生成部16で生成された所定の期間内に入力されるIF信号をカウントする。

IFカウント部15によってカウントされたカウント値は、上限値比較部19及び下限値比較部20に入力される。上限値比較部19は、入力されたカウント値とIFカウント上限値プリセット部17に予め設定されているIFカウント上限値とを比較し、例えば「カウント値 > IFカウント上限値」の場合に比較結果0を出力し、「カウント値 ≤ IFカウント下限値」の場合に比較結果1を出力する。

【0004】

同様に、下限値比較部20は、入力されたカウント値とIFカウント下限値プリセット部18に予め設定されているIFカウント下限値とを比較し、例えば「カウント値 < IFカウント下限値」の場合に比較結果0を出力し、「カウント値 ≥ IFカウント下限値」の場合に比較結果1を出力する。

【0005】

上限値比較部19及び下限値比較部20による比較結果は、判定部21に入力されカウント値がIFカウント上限値からIFカウント下限値の範囲内であるかを判定する。例えば、上限値比較部19の比較結果と下限値比較部20の比較結果の論理積を判定部21で行なうことによって、判定部21の出力が1の場合にカウント値がIFカウント値上限値からIFカウント下限値の範囲内にあることが検出される。

【0006】

特許文献1は、自動的にFM・RDS隣接局の放送局名を最初に自動検知した放送局との比較を行い、その放送局名に基づき自動変更することが可能なFMラジオ受信機について開示したものであり、所望の周波数についてオートスキャンする場合の周波数の比較手段について開示されている。

【0007】

特許文献2は、IFパルス数のカウントと並行して復調回路によって復調されたデータの1/0の割合をカウントすることによって、一定時間内でのIFパルス数の誤差量を測定するIFカウント方式について開示されている。この方法では、測定した誤差量を用いて補正回路によりIFカウント数を修正してIF周波数を測定する周波数カウント回路とし、変調によるカウント誤差の影響を受けないで正確なIF周波数値を得ることが可能

る。

【特許文献1】特開平10-341138号公報

【特許文献2】特開平11-234353号公報

## 【発明の開示】

### 【発明が解決しようとする課題】

[0008]

以上に説明したように、例えば図5に示した従来の回路では回路構成が大規模となってしまうという問題がある。特に、ラジオ受信機を1チップで実現するためには、従来以上の回路のスリム化が要求される。

本発明は、上述した問題に鑑みてなされたものであり、その解決しようとする課題は、従来より小さな回路構成によって I F カウンタを実現する I F カウント方式を提供することである。

### 【課題を解決するための手段】

[00091]

請求項 1 記載の発明は、所定の期間について I·F 信号をカウントする I·F カウンタのカウント方式であって、カウント開始の初期値として所望のカウント値の上限を与える上限値プリセット処理と、前記 I·F 信号をカウントする期間を生成する I·F カウント期間生成処理と、該 I·F カウント期間生成処理によって生成された期間内に前記上限値プリセット処理と、該 I·F カウント部で設定された初期値から前記 I·F 信号に応じてダウンカウントを行なうダウンカウント方式 I·F カウント処理と、所望のカウント値の上限値と下限値との差の情報を与える I·F カウント上下限値差プリセット処理と、該 I·F カウント上下限値差プリセット処理に与えられた I·F カウント上下限値差の情報を前記ダウンカウント方式 I·F カウント処理によるカウント情報に基づく第一の情報を比較する比較処理と、前記ダウンカウント方式 I·F カウント処理によるカウント情報に基づく第二の情報を前記比較処理による比較結果の情報とからカウント値が前記所望の上限値及び下限値の範囲内にあるかを判定する判定処理とを有することを特徴とする I·F カウント方式である。

[0 0 1 0]

請求項1記載の発明によると、前記ダウンカウント方式IFカウント処理によって前記上限値プリセット処理で設定された値から前記IF信号に応じてデクリメント処理を行なうことで、前記IF信号が前記上限値より大きい場合には0までカウントされてなおデクリメント処理が行なわれるため最上位ビットが1となり判定処理によって前記IF信号は前記所望の上限値より大きいと判定され、前記比較処理による比較結果が前記IFカウント上下限値差プリセット処理で設定された値が前記第一の情報に基づく値以上で、かつ前記第二の情報を構成するビットが全て0である場合には、前記判定処理によって前記IF信号は前記所望の上限値及び下限値の範囲内にあると判定され、さらに、前記第二の情報信号を構成するビットが全て0でない場合には、前記判定処理によって前記IF信号は前記所望の下限値より小さいと判定される作用によって、前記上限値プリセット処理及び前記IFカウント上下限値差プリセット処理を予め設定することでIF信号が所定の範囲にあるかを判定することが可能となり、前記上下限値差プリセット処理で設定される前記所望の下限値を構成するビット数や比較処理において比較する情報を構成するビット数を小さくすることが可能となり、回路構成を小さくする効果を奏する。

[0 0 1 1]

請求項2記載の発明は、 $n > m$ の関係を有する1以上の整数m、nにおいて、前記第一の情報は前記ダウンカウント方式IFカウント処理による $n + 1$ ビットで構成されるカウント情報の下位mビットの情報であり、前記第二の情報は前記カウント情報の上位 $n + 1 - m$ ビットであることを特徴とする請求項1に記載のIFカウント方式である。

[0 0 1 2]

請求項 2 に記載の発明によると、請求項 1 と同様の効果を奏し、前記ダウンカウント方式 I F カウント処理によってカウントされた前記 I F 信号のカウント値の上位  $n + 1 - m$  ビットの情報の最上位ビットが 1 の場合には、I F 信号が所望の上限値より大きいと判断

し、ダウンカウント方式 I F カウント処理でカウントされた I F 信号のカウント値の上位  $n+1-m$  ビットの情報の上位  $n+1-m$  ビットが全て 0、かつダウンカウント方式 I F カウント処理によってカウントされた I F 信号のカウント値の下位  $m$  ビットの値が I F カウント上下限値差プリセット処理で設定された値以下の場合には、所望の上限値及び下限値の範囲内であると判断し、ダウンカウント方式 I F カウント処理によってカウントされた I F 信号のカウント値の上位  $n+1-m$  ビットの情報の上位  $n+1-m$  ビットが全て 0 でない場合には、所望の下限値より小さいと判断することが可能となる効果を奏する。

#### 【0013】

請求項 3 記載の発明は、前記 I F 信号は、分周比  $1/2$ 、 $1/4$ 、 $1/8$ 、 $1/16$ 、 $1/32$  のいずれか 1 つを選択的に使用して分周された I F 信号であることを特徴とする請求項 1 に記載の I F カウント方式である。

請求項 3 に記載の発明によると、請求項 1 と同様の効果に加えて、前記 I F 信号の周波数が高い場合であっても分周比を変更することによってより高周波の I F 信号をカウントすることが可能となる効果を奏する。

#### 【0014】

請求項 4 記載の発明は、所定の期間について I F 信号をカウントする I F カウンタであって、カウント開始の初期値として所望のカウント値の上限を与える上限値プリセット処理と、前記 I F 信号をカウントする期間を生成する I F カウント期間生成処理と、該 I F カウント期間生成処理によって生成された期間内に前記上限値プリセット処理で設定された初期値から前記 I F 信号に応じてダウンカウントを行なうダウンカウント方式 I F カウント処理と、前記ダウンカウント方式 I F カウント処理によるカウント情報に基づく第一の情報と第二の情報とからカウント値が前記所望の上限値及び下限値の範囲内にあるかを判定する判定部とを有することを特徴とする I F カウント方式である。

#### 【0015】

請求項 4 記載の発明によると、前記ダウンカウント方式 I F カウント処理によって前記上限値プリセット処理で設定された値から前記 I F 信号に応じてデクリメント処理を行なうことで、前記 I F 信号が前記上限値より大きい場合には 0 までカウントされてなおデクリメント処理が行なわれるため前記第一の情報を構成する最上位ビットが 1 となり判定処理によって前記 I F 信号は前記所望の上限値より大きいと判定され、前記第二の情報を構成によって前記 I F 信号は前記所望の下限値より小さいと判定され、前記判定処理によって前記 I F 信号が所定の範囲にあるかを判定することが可能となり、下限値についてのプリセット処理を要しないため回路構成を小さくする効果を奏する。

#### 【0016】

請求項 5 記載の発明は、所定の期間について I F 信号をカウントする I F カウンタであって、カウント開始の初期値として所望のカウント値の上限を与える上限値プリセット部と、前記 I F 信号をカウントする期間を生成する I F カウント期間生成部と、該 I F カウント期間生成部によって生成された期間内に前記上限値プリセット部で設定された初期値から前記 I F 信号に応じてダウンカウントを行なうダウンカウント方式 I F カウント部と、所望のカウント値の上限値と下限値との差の情報を与える I F カウント上下限値差プリセット部と、該 I F カウント上下限値差プリセット部に設定された情報と前記ダウンカウント方式 I F カウント部におけるカウント情報を基づく第一の情報を比較する比較部と、前記ダウンカウント方式 I F カウント部におけるカウント情報を基づく第二の情報を前記比較部の比較結果の情報とからカウント値が前記所望の上限値及び下限値の範囲内にあるかを判定する判定部とを有することを特徴とする I F カウンタである。

#### 【0017】

請求項 5 記載の発明によると、前記ダウンカウント方式 I F カウント部によって前記上限値プリセット部で設定された値から前記 I F 信号に応じてデクリメント処理を行なうこ

とで、前記 I F 信号が前記上限値より大きい場合には 0 までカウントされてなおデクリメント処理が行なわれるため最上位ビットが 1 となり判定部によって前記 I F 信号は前記所望の上限値より大きいと判定され、前記比較部での比較結果が前記 I F カウント上下限値差プリセット部に設定された値が前記第一の情報に基づく値以上で、かつ前記第二の情報を構成するビットが全て 0 である場合には、前記判定部によって前記 I F 信号は前記所望の上限値及び下限値の範囲内にあると判定され、さらに、前記第二の情報を構成するビットが全て 0 でない場合には、前記判定部によって前記 I F 信号は前記所望の下限値より小さいと判定される作用によって、請求項 1 と同様の効果を奏し、前記上限値プリセット部及び前記 I F カウント上下限値差プリセット部に予め上限値を設定することによって I F 信号が所定の範囲にあるかを判定することが可能となり、前記上下限値差プリセット部を構成するビット数や比較部を構成するビット数を小さくすることが可能となり、回路構成を小さくする効果を奏する。

#### 【0018】

請求項 6 記載の発明は、所定の期間について I F 信号をカウントする I F カウンタであって、カウント開始の初期値として所望のカウント値の上限を与える上限値プリセット部と、前記 I F 信号をカウントする期間を生成する I F カウント期間生成部と、該 I F カウント期間生成部によって生成された期間内に前記上限値プリセット部で設定された初期値から前記 I F 信号に応じてダウンカウントを行なうダウンカウント方式 I F カウント部と、前記ダウンカウント方式 I F カウント部におけるカウント情報に基づく第一の情報と第二の情報とからカウント値が前記所望の上限値及び下限値の範囲内にあるかを判定する判定部とを有することを特徴とする I F カウンタである。

#### 【0019】

請求項 6 記載の発明によると、前記ダウンカウント方式 I F カウント部によって前記上限値プリセット部に設定された値から前記 I F 信号に応じてデクリメント処理を行なうことで、前記 I F 信号が前記上限値より大きい場合には 0 までカウントされてなおデクリメント処理が行なわれるため前記第一の情報を構成する最上位ビットが 1 となり判定部によって前記 I F 信号が前記所望の上限値より大きいと判定され、前記第二の情報を構成するビットが全て 0 である場合には、前記判定部によって前記 I F 信号は前記所望の上限値及び下限値の範囲内にあると判定され、さらに、前記第二の情報を構成するビットが全て 0 でない場合には、前記判定部によって前記 I F 信号は前記所望の下限値より小さいと判定される作用によって、請求項 4 と同様の効果を奏し、前記上限値プリセット部で設定する上限値を予め設定することで I F 信号が所定の範囲にあるかを判定することが可能となり、下限値についてのプリセット処理を要しないため回路構成を小さくする効果を奏する。

#### 【発明の効果】

#### 【0020】

以上のように、本発明のいずれの態様によっても、従来より小さな回路構成によって I F カウンタを実現する I F カウント方式を提供することが可能となる。

#### 【発明を実施するための最良の形態】

#### 【0021】

以下、本発明の実施形態について図 1 から図 4 に基づいて説明する。

図 1 は、本発明の第一の実施形態の機能ブロック図である。

本実施形態に係る I F カウンタは、分周された I F 信号をカウントするダウンカウント方式 I F カウント部 1 と、ダウンカウント方式 I F カウント部 1 で I F 信号をカウントする期間を生成する I F カウント期間生成部 2 と、ダウンカウント方式 I F カウント部 1 にカウントを開始する初期値を与える I F カウント上限値プリセット部 3 と、ダウンカウント方式 I F カウント部 1 でカウントされたカウント値の下位 m ビットについての情報と I F カウント上下限値差プリセット部に予め設定された情報とを比較する下位 m ビット比較部 5 と、ダウンカウント方式 I F カウント部 1 でカウントされたカウント値の上位  $n + 1 - m$  ビットについての情報と下位 m ビット比較器 5 の比較結果についての情報とからカウント値が所定の範囲内にあるかを判定する判定部 6 とを有する。また、本実施形態に係る

I F カウンタは、 $p$  チャンネルと  $n$  チャンネル MOS トランジスタを製造できる CMOS プロセスにより半導体回路基盤上に成形される。

【0022】

ダウンカウント方式 I F カウント部 1 は  $n+1$  ビットで構成されるデータのカウント機能を有する。I F カウント上限値プリセット部 3 に予め設定された  $n$  ビットで構成されるデータを初期値として、I F カウント期間生成部 2 によって生成される所定の期間内について、例えば 1 ズつデクリメント処理を行なって I F 信号をカウントする。

【0023】

I F カウント期間生成部 2 は、ダウンカウント方式 I F カウント部 1 が I F 信号をカウントする期間を生成する。すなわち、ダウンカウント方式 I F カウント部 1 へ入力されるクロック信号を監視し、前記生成された所定の期間を経過するとダウンカウント方式 I F カウント部 1 に対してリセット信号を送る。

【0024】

I F カウント上限値プリセット部 3 には、 $n$  ビットで構成される I F カウント値の上限値が予め設定され、ダウンカウント方式 I F カウント部 1 に対してカウント開始時の初期値を与える。

I F カウント上下限値差プリセット部 4 には、 $m$  ビットで構成される I F カウント値の上限値と下限値との差の値が予め設定され、ダウンカウント方式 I F カウント部 1 でカウントされた  $n+1$  ビットで構成されるカウント値の下位  $m$  ビットのデータと比較するため使用される。

【0025】

下位  $m$  ビット比較部 5 は、ダウンカウント方式 I F カウント部 1 でカウントされた I F 信号のカウント値の下位  $m$  ビットの情報と I F カウント上限値プリセット部 4 に設定された I F カウント値の上下限値差の情報とを入力として比較し比較結果を判定部 6 へ出力する。

【0026】

判定部 6 は、ダウンカウント方式 I F カウント部 1 でカウントされた I F 信号のカウント値の上位  $n+1-m$  ビットの情報と下位  $m$  ビット比較部 5 の比較結果の情報とから I F 信号のカウント値が I F カウント上限値プリセット部 3 で設定された上限値と I F カウント上限値プリセット部 3 及び I F カウント上下限値差プリセット部 4 で設定された値に基づく下限値との範囲にあるかを判定し結果を出力する。すなわち、ダウンカウント方式 I F カウント部 1 でカウントされた I F 信号のカウント値の上位  $n+1-m$  ビットの情報の最上位ビットが 1 の場合には、I F 信号が所望の上限値より大きいと判断し、ダウンカウント方式 I F カウント部 1 でカウントされた I F 信号のカウント値の上位  $n+1-m$  ビットの情報の上位  $n+1-m$  ビットが全て 0、かつダウンカウント方式 I F カウント部 1 でカウントされた I F 信号のカウント値の下位  $m$  ビットの値が I F カウント上下限値差プリセット部 4 に設定された値以下の場合には、所望の上限値及び下限値の範囲内であると判断し、ダウンカウント方式 I F カウント部 1 でカウントされた I F 信号のカウント値の上位  $n+1-m$  ビットの情報の上位  $n+1-m$  ビットが全て 0 でない場合には、所望の下限値より小さいと判断する。以上の構成にすることによって、例えば、従来の回路構成では  $n$  ビットで構成される比較部（図 5 の上限値比較部 19 や下限値比較部 20）や I F カウント下限値プリセット部 20 が必要とされたが、本発明の実施例では  $n > m$  の関係にある  $m$  ビットで構成される下位  $m$  ビット比較部 5 や I F カウント上下限値差プリセット部 4 を用いることによって各構成要素が少ないビット数で構成されるため全体として回路規模を小さくすることが可能となる。

【0027】

したがって、図 5 に示す  $n$  ビットで構成される I F カウント下限値プリセット部 18 や下限値比較部 20 等を用いることなく所望の上限値及び下限値に I F 信号の周波数があるかを判定することが可能となり、回路構成を従来に比べて小さくすることが可能となる。

図 2 は、本発明の第一の実施形態の主要部を示す回路図である。

## 【0028】

本実施例で使用する I F カウンタは、分周された I F 信号をカウントするための 12 ビットダウンカウンタ 7 と、12 ビットダウンカウンタによってカウントされたカウント値の下位 7 ビットの値と信号線 C P から得る図示しない例えは D I P - S W I T C H やレジスタ等で構成される I F カウント上下限値差プリセット部に予め設定されている値とを比較するための 7 ビットコンパレータ 8 と、12 ビットダウンカウンタによってカウントされたカウント値の上位 5 ビットの全ビットが" 0 " かを判定するためのアンド回路 9 と、7 ビットコンパレータ 8 での比較結果とアンド回路 9 での比較結果との論理積をとるためのアンド回路 10 と、アンド回路 10 による出力の反転ビットと 12 ビットダウンカウンタによってカウントされた値の最上位ビット (12 ビット) の反転ビットとの論理積をとるためのアンド回路 11 と、I F 信号が図示しない例えは D I P - S W I T C H やレジスタ等で構成される I F カウント上限値プリセット部及び I F カウント上下限値差プリセット部に基づいて決定される上限値と下限値との間にあるかの判定結果を出力するための出力レジスタ 13 と、出力レジスタ 13 から出力する信号を制御するための R S フリップフロップ 12 とを少なくとも備えている。

## 【0029】

12 ビットダウンカウンタ 7 は、図 1 に示したダウンカウント方式 I F カウント部 1 に対応する。12 ビットダウンカウンタ 7 には、図示しない例えは D I P - S W I T C H やレジスタ等で構成される 11 ビットの I F カウント上限値プリセット部に予め設定されたデータの信号 D と、カウント対象である I F 信号が図示しないリミッタ回路を介しさるに図示しない分周器によって分周された I F 信号 C K S と、リセット信号である R S T とが入力される。

## 【0030】

リセット信号 R S T が入力されると図示しない例えは D I P - S W I T C H やレジスタ等で構成される I F カウント上限値プリセット部に設定されているデータが信号 D を介して 12 ビットダウンカウンタ 7 にセットされる。12 ビットダウンカウンタ 7 は、上記セットされた I F カウント上限値を初期値として I F 信号 C K S に従ってダウンカウントを行なう。

## 【0031】

ここで、上記分周器での分周比は例えは 1/2 、 1/4 、 1/8 、 1/16 、 1/36 等を選択的に使用することができ、タイムベースは必要に応じて 4 mS ~ 32 mS 程度となるように設定する。

7 ビットコンパレータ 8 は、図 1 に示した下位 m ビット比較器に対応する。7 ビットコンパレータ 8 には、図示しない D I P - S W I T C H やレジスタ等で構成される 7 ビットの I F カウント上下限値差プリセットに予め設定されたデータの信号 C P と 12 ビットダウンカウンタ 7 の下位 7 ビットのデータ Q [6:0] とが入力され、信号 Q [6:0] < 信号 C P の場合に出力信号 C L T D として" 1 " を出力する。

## 【0032】

アンド回路 9 ~ 11 は、図 1 に示す判定部 6 に対応する。アンド回路 9 は、12 ビットダウンカウンタ 7 の上位 5 ビットのデータ Q [11:7] が入力され各ビットが全て" 0 " の場合に出力信号 U D 0 として" 1 " を出力する。アンド回路 10 及び 11 に対して、7 ビットコンパレータ 8 からの出力信号 C L T D 、アンド回路 9 からの出力信号 U D 0 及び 12 ビットダウンカウンタ 7 の最上位ビットのデータ Q [11] が入力されることによって、信号 Q [11] が" 1 " の場合には出力信号 J U X として" 1 " が出力され (図 3 に示す (3) の区間) 、信号 C L T D が" 1 " かつ信号 U D 0 が" 1 " の場合には出力信号 J E X として" 1 " が出力され (図 3 に示す (2) の区間) 、信号 J U X が" 0 " かつ信号 J E X が" 0 " の場合には出力信号 J L X として" 1 " が出力される (図 3 に示す (1) の区間) 。

## 【0033】

R S フリップフロップ 12 への入力信号である入力信号 J \_ S R は、図示しない I F カ

ウント期間生成回路から出力される信号であり、リセット信号RSTに同期してカウント期間の開始を指示する信号である。また、入力信号IF\_LAは、図示しないIFカウント期間生成回路から出力される信号であり、タイムベース信号TBXに同期してカウント期間の終了を指示する信号である。

## 【0034】

信号IF\_LAに"1"が入力され、かつ信号JSRに"0"入力される（すなわち、図示しないIFカウント期間生成回路で生成されるIFカウント期間を示す信号TBXがOFFとなり、タイムベース期間の終了を示す信号IF\_LAがONとなる）と出力信号Q\_Nに"1"が出力される。出力レジスタ13は、入力信号Q\_Nから"1"が入力されると信号JEX、JLX、JUXをそれぞれ出力信号JE、JL、LUとして出力する。

## 【0035】

以上により、IF信号CKSが図示しないDIP-SWITCHやレジスタ等で構成されるIFカウント上限値プリセット部に設定された上限値より大きい場合には出力信号（JE, JL, LU）が（0, 0, 1）となり、上限値とIFカウント上下限値差プリセット部及びIFカウント上限値プリセット部に基づく下限値との間にある場合には出力信号（JE, JL, JU）が（1, 0, 0）となり、下限値以下の場合には出力信号（JE, JL, JU）が（0, 1, 0）となる。

## 【0036】

図3は、図2に示す回路によって出力される主要部の波形を示す図である。

信号RSTに同期してRSフリップフロップ12への入力信号JSRがONとなることにより出力レジスタ13がリセットされる。さらに、IFカウント期間生成回路によってIFカウント期間（タイムベース期間）であることを示す信号TBXがON状態となり、信号Dから入力されるDIP-SWITCHやレジスタ等で構成されるIFカウント上限値プリセット部に設定された値を初期値として12ビットダウンカウンタ7によるダウンカウントが開始される。

## 【0037】

同図は、信号TBXが同図内に示す区間（1）内でOFFとなる場合を示している。すなわち、信号TBXがOFFとなるとRSフリップフロップ12への入力信号IF\_LAがONとなり区間（1）での信号JEX、JLX、JUXの状態が出力レジスタ13を介して信号JE、JL、JUとして出力される（この場合の出力信号（JE, JL, JU）は（0, 1, 0）となる）。

## 【0038】

図4は、本発明の第二の実施形態を示す機能ブロック図である。

本実施例に係るIFカウンタは、 $n+1$ ビットで構成されるダウンカウント方式IFカウント部1と、ダウンカウント方式IFカウント部1に対してIFカウント期間を生成するIFカウント期間生成部2と、 $n$ ビットで構成されるIFカウント上限値を設定するためのIFカウント上限値プリセット部3と、ダウンカウント方式IFカウント部1によってカウントされたカウント値が所定の範囲内にあるかを判断する判定部14とによって構成される。

## 【0039】

ダウンカウント方式IFカウント部1は $n+1$ ビットで構成されるデータのカウント機能を有する。IFカウント上限値プリセット部3に予め設定された $n$ ビットで構成されるデータを初期値として、IFカウント期間生成部2によって生成される所定の期間内について、例えば1ずつデクリメント処理を行なってIF信号をカウントする。

## 【0040】

IFカウント期間生成部2は、ダウンカウント方式IFカウント部1がIF信号をカウントする期間を生成する。すなわち、ダウンカウント方式IFカウント部1へ入力されるクロック信号を監視し、前記生成された所定の期間を経過するとダウンカウント方式IFカウント部1に対してリセット信号を送る。

## 【0041】

判定部14は、ダウンカウント方式IFカウント部1でカウントしたカウント値を入力として、カウント値が所定の上限値及び下限値の範囲内にあるかを判定する。ここで、所定の上限値はIFカウント上限値プリセット部3に予め設定される値であり、下限値はn>mの関係を満たすmビットのデータで与えられる。

#### 【0042】

ダウンカウント方式IFカウント部1でカウントされたカウント値の最上位ビット(n+1ビット)が"1"の場合は、IFカウント値>IFカウント上限値であると判定し、ダウンカウント方式IFカウント部1でカウントされたカウント値の上位n+1-mビットが全て"0"である場合には、IFカウント下限値≤IFカウント値≤IFカウント上限値であると判定する。さらに、ダウンカウント方式IFカウント部1でカウントされたカウント値の上位n+1-mビットが全て"0"でない場合には、IFカウント値<IFカウント下限値であると判定する。

#### 【0043】

以上の構成にすることによって、さらに回路規模を小さくすることが可能となる。本実施例は、図2に示す回路図において7ビットコンパレータ8及びアンド回路10を取り除いた回路を使用することによって実現される(従って信号CP及び信号Q[6:0]は使用しない)。すなわち、アンド回路9からの出力信号UD0が出力信号JEX及びアンド回路11への入力信号となる。

#### 【0044】

他の回路構成については、図2に示した回路構成と同様である。すなわち、12ビットダウンカウンタ7は、図4に示したダウンカウント方式IFカウント部1に対応する。12ビットダウンカウンタ7には、図示しない例えばDIP-SWITCHやレジスタ等で構成される11ビットのIFカウント上限値プリセット部に予め設定されたデータの信号Dと、カウント対象であるIF信号が図示しないリミッタ回路を介しさらに図示しない分周器によって分周されたIF信号CKSと、リセット信号であるRSTとが入力される。

#### 【0045】

リセット信号RSTが入力されると図示しないDIP-SWITCHやレジスタ等で構成されるIFカウント上限値プリセット部に設定されているデータが信号Dを介して12ビットダウンカウンタ7にセットされる。12ビットダウンカウンタ7は、上記セットされたIFカウント上限値を初期値としてIF信号CKSに従ってダウンカウントを行なう。

#### 【0046】

ここで、上記分周器での分周比は例えば1/2、1/4、1/8、1/16、1/32等を選択的に使用する。また、タイムベースは必要に応じて4mS~32mS程度となるように設定する。

アンド回路9及び11は、図4に示す判定部14に対応する。アンド回路9は、12ビットダウンカウンタ7の上位5ビットのデータQ[11:7]が入力され各ビットが全て"0"の場合に出力信号UD0として"1"を出力する。アンド回路11に対して、アンド回路9からの出力信号UD0及び12ビットダウンカウンタ7の最上位ビットのデータQ[11]が入力されることによって、信号Q[11]が"1"の場合には出力信号JUXとして"1"が出力され(図3に示す(3)の区間)、信号UD0が"1"の場合には出力信号JEXとして"1"が出力され(図3に示す(2)の区間)、信号JUXが"0"かつ信号JEXが"0"の場合には出力信号JLXとして"1"が出力される(図3に示す(1)の区間)。

#### 【0047】

RSフリップフロップ12への入力信号である入力信号JSRは、図示しないIFカウント期間生成回路から出力される信号であり、リセット信号RSTに同期してカウント期間の開始を指示する信号である。また、入力信号IF\_LAは、図示しないIFカウント期間生成回路から出力される信号であり、タイムベース信号TBXに同期してカウント期間の終了を指示する信号である。

## 【0048】

信号 IF\_LA に "0" が入力され、かつ J\_S 信号 SR に "1" 入力される (すなわち、図示しない IF カウント期間生成回路で生成される IF カウント期間を示す信号 TBX が OFF となり、タイムベース期間の終了を示す信号 IF\_LA が ON となる) と出力信号 QN に "1" が出力される。出力レジスタ 13 は、入力信号 QN から "1" が入力されると信号 JEX、JLX、JUX をそれぞれ出力信号 JE、JL、LU として出力する。

## 【0049】

以上により、IF 信号 CKS が図示しない DIP-SWITCH やレジスタ等で構成される IF カウント上限値プリセット部に設定された上限値より大きい場合には出力信号 (JE, JL, LU) が (0, 0, 1) となり、上限値と IF カウント上限値プリセット部に基づく下限値との間にある場合には出力信号 (JE, JL, JU) が (1, 0, 0) となり、下限値以下の場合には出力信号 (JE, JL, JU) が (0, 1, 0) となる。

## 【0050】

以上の構成によって第 1 の実施例に示した回路構成による IF カウンタよりもさらに回路規模を小さくすることが可能となる。

## 【図面の簡単な説明】

## 【0051】

【図 1】本発明の第一の実施形態を示す機能ブロック図である。

【図 2】本発明の第一の実施形態の主要部を示す回路図である。

【図 3】図 2 に示す回路によって出力される主要部の波形を示す図である。

【図 4】本発明の第二の実施形態を示す機能ブロック図である。

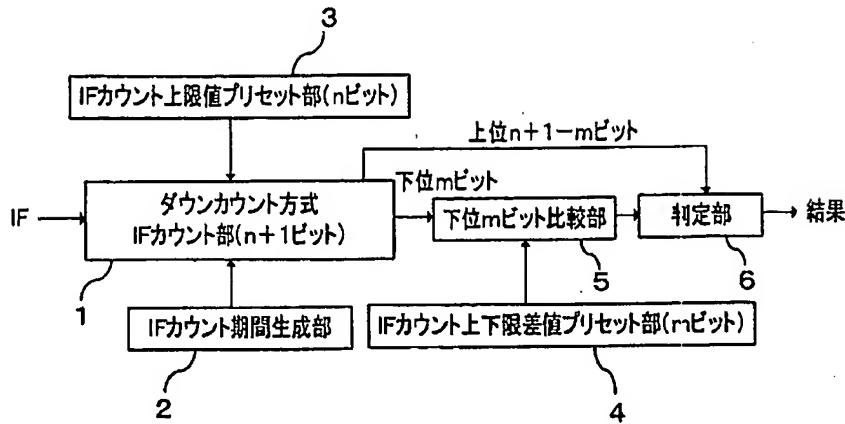
【図 5】従来例を示す機能ブロック図である。

## 【符号の説明】

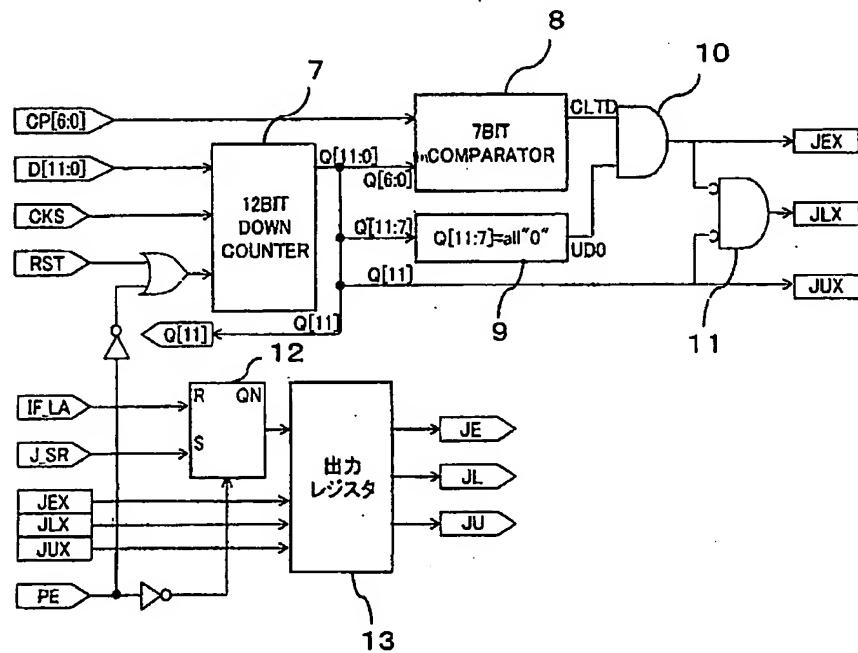
## 【0052】

1	...	ダウンカウント方式 IF カウント部
2	...	IF カウント期間生成部
3	...	IF カウント上限値プリセット部
4	...	IF カウント上下限値差プリセット部
5	...	下位 m ビット比較部
6	...	判定部
7	...	12 ビットダウンカウンタ
8	...	7 ビットコンパレータ
9	...	アンド回路
10	...	アンド回路
11	...	アンド回路
12	...	RS フリップフロップ
13	...	出力レジスタ
14	...	判定部
15	...	IF カウント部
16	...	IF カウント期間生成部
17	...	IF カウント上限値プリセット部
18	...	IF カウント下限値プリセット部
19	...	上限値比較部
20	...	下限値比較部
21	...	判定部

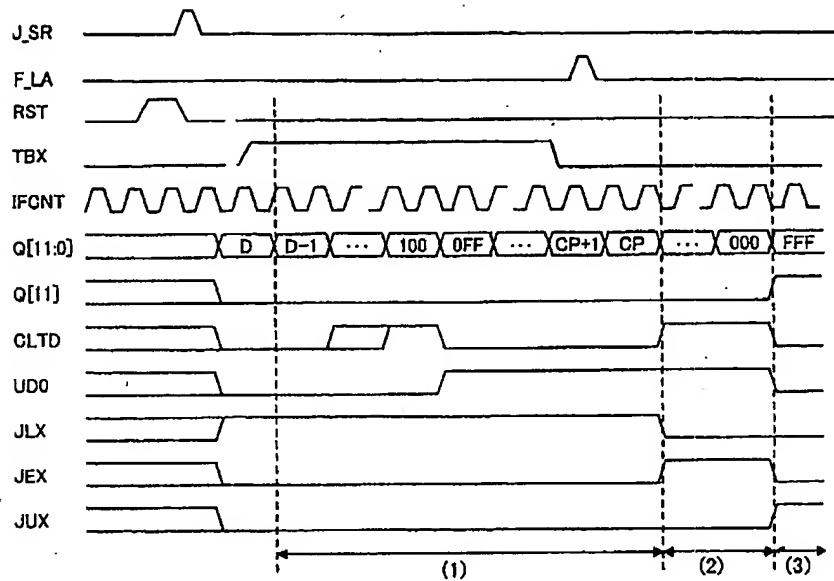
【書類名】図面  
【図1】



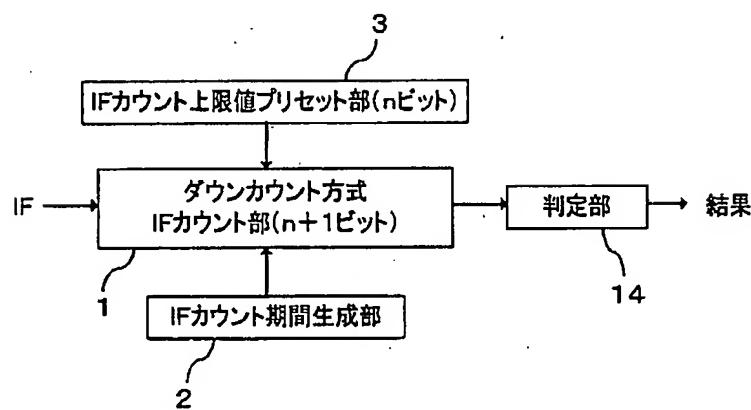
【図2】



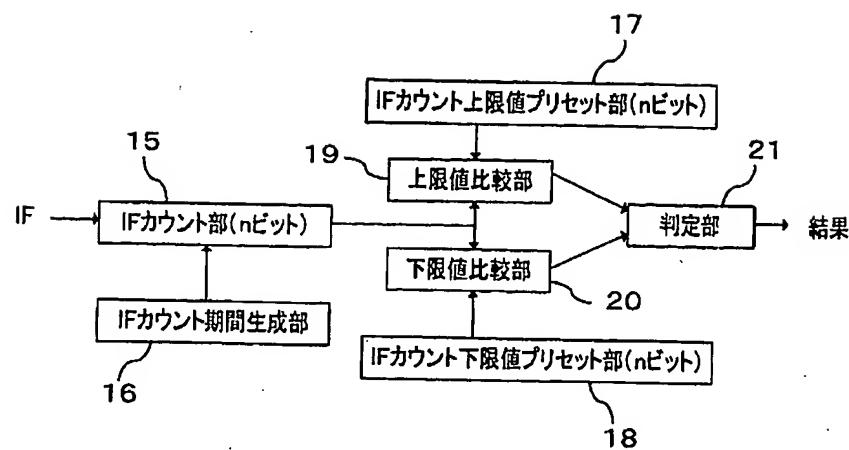
【図 3】



【図 4】



【図 5】



【書類名】要約書

【要約】

【課題】 より小さな回路構成によって I F カウンタを実現する I F カウント方式を提供する。

【解決手段】 I F カウンタを、分周された I F 信号をカウントするダウンカウント方式 I F カウント部1と、I F 信号をカウントする期間を生成する I F カウント期間生成部2と、カウント開始の初期値を与える I F カウント上限値プリセット部3と、カウント値の下位mビットについての情報と I F カウント上下限値差プリセット部に設定された情報を比較する下位mビット比較部5と、カウント値の上位 $n+1-m$ ビットについての情報と下位mビット比較器5の比較結果についての情報とからカウント値が所定の範囲内にあるかを判定する判定部6とによって構成する。

【選択図】 図1

特願 2004-017243

出願人履歴情報

識別番号 [000003218]

1. 変更年月日 2001年 8月 1日

[変更理由] 名称変更

住所 愛知県刈谷市豊田町2丁目1番地  
氏名 株式会社豊田自動織機

特願 2004-017243

出願人履歴情報

識別番号 [591220850]

1. 変更年月日 1996年 5月 9日

[変更理由] 住所変更

住 所 新潟県上越市西城町2丁目5番13号  
氏 名 新潟精密株式会社